

第 92/33739 號

Attachment >

LEARNING TECH

www.learningtech.com.tw

中華民國專利資訊網

seednet

see your need

專利檢索專區

初審引証附件

檢索紀錄

快速檢索

以

布林檢索

以

欄位

專利分析專區 | 訂購專利說明書影像專區 | 會員專區 | 最

BEST AVAILABLE COPY

**本系統專利資料僅供參考，不作為準駁依據，所有資料以經濟部智慧財產局公告為準 | 中文造字安裝程式：(約1.6M)

00429347 -- 核准公告專利公報資料

JP Appl. # 11-011725

具有複數之記憶體模組及控制器之資料高速傳送系統

專利公告號	00429347 說明書影像 / 圖式影像 / 權利異動 / 雜項資料 / 圖								
卷號	28								
期號	11								
公告日期	2001/04/11								
專利類型	發明								
國際專利分類號	G06F 13/00								
申請案號	0088100843								
申請日期	1999/01/20								
優先權	<table border="1"> <tr> <th>國家</th> <th>申請案號</th> <th>申請日期</th> </tr> <tr> <td>日本</td> <td>0032200</td> <td>1999/01/20</td> </tr> </table>			國家	申請案號	申請日期	日本	0032200	1999/01/20
國家	申請案號	申請日期							
日本	0032200	1999/01/20							
申請人	東芝股份有限公司；日本								
發明人	戶田春希；日本 Toda Haruki								
代理人資訊	陳長文；台北市敦化北路二〇一號七樓								
摘要	<p>排列記憶體模組2和個控制器3，如同沿著此排列往</p> <p>復般地設置2條時鐘配線4A、4B。透過時鐘配線4A、</p> <p>4B的去路部分供應第一基本時鐘TCLK及具有其2倍周期</p> <p>的第二基本時鐘TCLK2給記憶體模組2及控制器3，供應</p> <p>在通過折返點後的回路部分所傳送的第一、第二基本時鐘</p> <p>給記憶體模組2及控制器3作為RCLK、RCLK2。將去的</p> <p>第一、第二基本時鐘TCLK、TCLK2及回的第一、第二基</p> <p>本時鐘RCLK、RCLK2取入記憶體模組2及控制器3，與</p> <p>這些時鐘同步控制資料的輸出入。</p>								
<input type="checkbox"/> 申請專利範圍	<p>1.一種資料高速傳送系統，其特徵在於：具有</p> <ul style="list-style-type: none"> ■ 複數記憶體模組(2)； ■ 控制器(3)：和上述複數記憶體模組共同排列，在和上述複數記憶體模組之間進行資料 ■ 時鐘產生器(1)：產生第一基本時鐘(TCLK)及具有此第一基本時鐘周期2倍周期的第 								

(RCLK):

- 2條時鐘配線(4A、4B): 如同沿著上述所排列的複數記憶體模組及控制器往復般地、及回路部分的配線, 從上述各去路部分前端分別輸入以上述時鐘產生器所產生的上時鐘, 分別依次傳送此所輸入的第一及第二基本時鐘, 對於上述複數記憶體模組及回路部分及各回路部分的配線所傳送的第一及第二基本時鐘作為這些複數記憶體模組時使用的同步信號; 及,
 - 控制電路(第十二圖): 含有中間定時檢出電路(401), 該中間定時檢出電路(401)係分記憶體模組內及控制器內, 接收由上述2條時鐘配線之各去路部分所給與的去的第-和由上述2條時鐘配線之各回路部分所給與的的回的第一及第二基本時鐘, 對於在去和回的第一基本時鐘之間產生的第一基本時鐘周期 n 倍(n 為2及4之任何一方之值)周期/其中間定時者。
2. 如申請專利範圍第1項之資料高速傳送系統, 其中更具有
- 資料匯流排(5): 沿著前述複數記憶體模組及控制器設置, 在這些複數記憶體模組及所授受的資料; 及,
 - 命令/位址匯流排(6): 沿著前述複數記憶體模組及控制器設置, 傳送從控制器對於給與的命令及位址。
3. 如申請專利範圍第2項之資料高速傳送系統, 其中前述控制電路更具有計數器, 該述去的第一基本時鐘及回的第一基本時鐘之任何一方, 以設定資料輸出周期數。
4. 如申請專利範圍第3項之資料高速傳送系統, 其中根據在前述命令/位址匯流排所給與的計數器之計算動作。
5. 如申請專利範圍第1項之資料高速傳送系統, 其中前述中間定時檢出電路含有
- 第一內部時鐘產生電路(503): 產生第一控制時鐘(Teu), 該第一控制時鐘(Teu)係與在-一方時鐘配線之去路部分所傳送的去的的第一基本時鐘之第一周期開始時同步;
 - 第二內部時鐘產生電路(503): 產生第二控制時鐘(Reu), 該第二控制時鐘(Reu)係與線之回路部分所傳送的的回的第一基本時鐘之上述第一周期開始時同步;
 - 第三內部時鐘產生電路(502): 產生第三控制時鐘(Tou), 該第三控制時鐘(Tou)係與線之去路部分所傳送的去的的第一基本時鐘之接著上述第一周期之第二周期開始時同步;
 - 第四內部時鐘產生電路(502): 產生第四控制時鐘(Rou), 該第四控制時鐘(Rou)係與線之回路部分所傳送的的回的第一基本時鐘之接著上述第一周期之第二周期開始時同步;
 - 第一控制信號產生電路(504): 接收上述第二控制時鐘(Reu)和上述第一控制時鐘(Teu)二控制時鐘和第一控制時鐘之間的中間定時的第一控制信號(ψ_e);
 - 第二控制信號產生電路(504): 接收上述第四控制時鐘(Rou)和上述第三控制時鐘(Tou)四控制時鐘和第三控制時鐘之間的中間定時的第二控制信號(ψ_o); 及,
 - 第三控制信號產生電路(第七圖): 接收上述第一控制信號(ψ_e)、第二控制信號(ψ_o)、(Tou)及第一控制時鐘(Teu), 產生第三控制信號及第四控制信號, 該第三控制信號]當於由前述2條時鐘配線之各去路部分所給與的去的的第一及第二基本時鐘各自和由各回路部分所給與的的回的第一及第二基本時鐘各自之間的中間定時。
6. 如申請專利範圍第5項之資料高速傳送系統, 其中前述中間定時檢出電路更含有
- 第四控制信號產生電路(501): 接收在前述2條時鐘配線之去路部分所傳送的去的的第一、產生第五控制信號(T2), 該第五控制信號(T2)係為了區分在前述一方時鐘配線之去的的第一基本時鐘之第一周期和接著此第一周期之第二周期; 及,
 - 第五控制信號產生電路(501): 接收在前述2條時鐘配線之回路部分所傳送的的回的-鐘, 產生第六控制信號(R2), 該第六控制信號(R2)係為了區分在前述一方時鐘配線的的回的第一基本時鐘之第一周期和接著此第一周期之第二周期。
7. 如申請專利範圍第5項之資料高速傳送系統, 其中前述第一至第四內部時鐘產生電路可調延遲(Synchronous Adjustable Delay), 前述第一至第四內部時鐘產生電路分可調延遲產生前述第一控制時鐘至第四控制時鐘。
8. 如申請專利範圍第7項之資料高速傳送系統, 其中前述同步可調延遲具有
- 正向延遲電路(Forward Delay Circuit): 以由反及(NAND)閘及輸入此反及(NAND)閘(NOR)閘構成的組合電路為一單元, 由所梯級連接的複數單元所構成, 延遲輸入信號;
 - 反向延遲電路(Backward Delay Circuit): 以由反及(NAND)閘及輸入此反及(NAND)閘(NOR)閘構成的組合電路為一單元, 對於上述正向延遲電路由同數所梯級連接的複移以上述正向延遲電路所延遲的信號, 藉由延遲此所轉移的信號, 對於到上述正向號, 輸出360度相位偏移的信號。

9.如申請專利範圍第5項之資料高速傳送系統,其中前述第一及第二控制信號產生電路同步可調延遲,前述第一及第二控制信號產生電路分別使用這些同步可調延遲產生控制信號。

10.如申請專利範圍第9項之資料高速傳送系統,其中前述同步可調延遲具有

- 正向延遲電路(Forward Delay Circuit):以由反及(NAND)閘及輸入此反及(NAND)閘(NOR)閘構成的組合電路為一單元,由所梯級連接的複數單元所構成,延遲輸入信號;
- 半反向延遲電路(Half Backward Delay Circuit):以由反及(NAND)閘及輸入此反及(NOR)閘構成的組合電路為一單元,對於上述正向延遲電路由半數所梯級連接成,轉移以上述正向延遲電路所延遲的信號,藉由延遲此所轉移的信號,對於到上輸入信號,輸出180度相位偏移的信號。

11.如申請專利範圍第4項之資料高速傳送系統,其中前述控制電路更具有內部控制控制器(402)係接收以前述中間定時檢出電路所檢出的前述中間定時、前述去和回的在前述命令/位址匯流排所傳送的命令,

- 上述內部控制器於以對應周期之去和回的第一基本時鐘之中間定時為M時,前面必束,則根據下述(1)至(4)之步驟,使第一基本時鐘之周期數的計算以前述計數器進行周期數:
 - (1)定時M之後不久使周期數計算成為可能狀態。
 - (2)從(1)之後不久的去的第一基本時鐘起使周期數計算。
 - (3)若與(1)之後不久的回的第一基本時鐘同步所取入的命令是周期數計算命令,則作時鐘的周期數計算繼續必需的周期數。
 - (4)若與(1)之後不久的回的第一基本時鐘同步所取入的命令不是周期數計算有關的而設而成為計算不可狀態。

12.如申請專利範圍第4項之資料高速傳送系統,其中前述控制電路更具有內部控制控制器(402)係接收以前述中間定時檢出電路所檢出的前述中間定時、前述去和回的在前述命令/位址匯流排所傳送的命令,

- 上述內部控制器於以對應周期之去和回的第一基本時鐘之中間定時為M時,根據下使第一基本時鐘之周期數的計算以前述計數器進行而設定資料輸出周期數:
 - (1)若與去的第一基本時鐘同步所取入的命令是與周期數計算有關的命令,則在此之周期數計算成為可能狀態。
 - (2)從定時M之後不久的回的第一基本時鐘起使周期數計算,使其繼續必需的周期數

13.如申請專利範圍第4項之資料高速傳送系統,其中前述控制電路更具有

- 內部控制器(402):接收以前述中間定時檢出電路所檢出的前述中間定時、前述去和在在前述命令/位址匯流排所傳送的命令;及,
- 資料輸出電路:為上述內部控制器所控制,輸出資料;
- 上述內部控制器於以對應周期之去和回的第一基本時鐘之中間定時為M時,根據下使第一基本時鐘之周期數的計算以前述計數器進行而設定資料輸出周期數,同時從使資料輸出:
 - (1)從第一定時M之後不久的和第一定時M對應的去的第二基本時鐘之周期起使周期
 - (2)在第一定時M之後不久的從和此第一定時M對應的去的第二基本時鐘之周期到和周期的周期,若與回的第一基本時鐘同步所取入的命令也包含無命令的狀態在內,算命令,則停止計算動作,使其準備其次的計算動作。
 - (3)在第一定時M之後不久的從和此第一定時M對應的去的第二基本時鐘之周期到和周期的周期,若在與回的第一基本時鐘同步所取入的命令有新的周期數計算命令,算,從該周期起與去的第一基本時鐘同步從上述資料輸出電路使資料輸出。
 - (4)在第一定時M之後不久的從和此第一定時M對應的去的第二基本時鐘之周期到和周期的周期,若以第一定時M之後不久的和此第一定時M對應的去的第二基本時鐘在第(i個(i為正整數)周期有新的周期數命令,則使多加與(i-1)周期對應的周期數計算,從該周期起與去的第一基本時鐘同步從上述資料輸出電路使資料輸出。

14.如申請專利範圍第4項之資料高速傳送系統,其中前述控制電路更具有

- 內部控制器(402):接收以前述中間定時檢出電路所檢出的前述中間定時、前述去和在在前述命令/位址匯流排所傳送的命令;及,
- 資料輸出電路:為上述內部控制器所控制,輸出資料;
- 上述內部控制器於以對應周期之去和回的第一基本時鐘之中間定時為M時,根據下使第一基本時鐘之周期數的計算以前述計數器進行而計算設定資料輸出周期數,同電路使資料輸出:
 - (1)從與第一定時M對應的去的第二基本時鐘之周期起使命令的取入開始。

- (2)在第一定時M之後不久的從和此第一定時M對應的的第一基本時鐘之周期起使周
- (3)在到和第二定時M對應的去的的第一基本時鐘之周期為止的周期,若與去的第一基的命令也包含無命令的狀態在內,不是新的周期數計算命令,則停止計算動作,使動作。
- (4)在從和第一定時M對應的去的的第一基本時鐘之周期到和第二定時M對應的去的第的周期,若在與去的的第一基本時鐘同步所取入的命令有新的周期數計算命令,則使從該周期起與回的第一基本時鐘同步從上述資料輸出電路使資料輸出。
- (5)在到和第二定時M對應的去的的第一基本時鐘之周期為止的周期,若以和第一定時基本時鐘之周期為第1個,在第i個(i為正整數)周期有新的周期數計算命令,則使多的周期數計算的一定周期數計算,從該周期起與回的第一基本時鐘同步從上述資料出。

15.如申請專利範圍第2項之資料高速傳送系統,其中前述複數各記憶體模組及控制料輸出入埠,

- 前述複數各記憶體模組分別與前述去及回的任何一方的第一基本時鐘同步取入前述入的命令,若辨別選擇了其記憶體模組,則使設於各記憶體模組的資料輸出入埠成上述資料匯流排。

16.如申請專利範圍第15項之資料高速傳送系統,其中前述資料匯流排為雙向匯流排保同時雙向傳送對於前述記憶體模組所傳送的資料和由記憶體模組所傳送的資料。

17.如申請專利範圍第16項之資料高速傳送系統,其中前述雙和匯流排在傳送資料使複數各記憶體模組和資料被傳送側的前述控制器或複數各記憶體模組之間,藉由分料的傳遞,輸出到前述雙向匯流排的資料之“0”和“1”與恆定電流I和此恆定電流對應。

18.如申請專利第17項之資料高速傳送系統,其中更具有恆定電流切換電路,該恆定與前述去及回的任何一方的第一基本時鐘同步進行前述恆定電流I和恆定電流 $(1+\alpha)I$

19.如申請專利範圍第18項之資料高速傳送系統,其中對於前述去及回的任何一方的上升及下降之任何一方,以180度相位偏移的定時為基準,進行來自前述複數各記憶出

20.如申請專利範圍第19項之資料高速傳送系統,其中對於前述去及回的任何一方的上升及下降之任何一方,使用同步可調延遲(Syn-chronous Adjustable Delay)製作的定時。

21.如申請專利範圍第20項之資料高速傳送系統,其中前述同步可調延遲具有延遲裝置具有和前述恆定電流切換電路等效結構的電路。

22.如申請專利範圍第15項之資料高速傳送系統,其中前述複數記憶體模組及控制器電路:監控流到前述資料出入埠的電流,判斷對於大小2個參考電流的此電流值大小結果均同為“L”或“H”時,使一方與“0”對應,使他方與“1”對應而作為輸入比較結果均不同時,以從輸出入埠輸出中的資料或其反轉值為輸入值。

23.一種資料高速傳送系統,其特徵在於:具有

- 複數記憶體模組(2):
- 控制器(3):和上述複數記憶體模組共同排列,在和上述複數記憶體模組之間進行資
- 時鐘產生器(1):產生至少一種時鐘(TCLK、RCLK);
- 至少1條時鐘配線(4A、4B):如同沿著上述所排列的複數記憶體模組及控制器往複1分及回路部分的配線,從上述去路部分前端輸入以上述時鐘產生器所產生的上述至傳送此所輸入的時鐘,對於上述複數記憶體模組及控制器給與在去路部分及回路部時鐘作為這些複數記憶體模組及控制器授受資料時使用的同步信號;及,
- 控制電路:含有中間定時檢出電路,該中間定時檢出電路係分別設於上述複數各器內,對於在由上述至少1條時鐘配線之去路部分所給與的去的時鐘和由上述至少1部分所給與的回的時鐘之間產生的2周期以內的相移,檢出其中間定時者。

24.一種資料高速傳送系統,其特徵在於:具有

- 複數記憶體模組:
- 控制器:在和上述複數各記憶體模組之間進行資料的授受;及,
- 資料匯流排:連接上述複數記憶體模組和控制器,上述複數各記憶體模組及控制器入電路,該資料輸出入電路係按照授受資料使流到上述資料匯流排的電流值及電流

圖式簡單說明：

- 第一圖為顯示習知資料傳送系統之結構的方塊圖；
- 第二圖為顯示第一圖之習知系統之動作一例的定時圖；
- 第三圖為顯示第一圖之習知系統之第二圖不同之動作一例的定時圖；
- 第四圖為顯示和第一圖不同之習知資料傳送系統之結構的方塊圖；
- 第五圖A及第五圖B為根據本發明之資料高速傳送系統之第一實施形態的方塊圖；
- 第六圖為在第五圖A及第五圖B之系統顯示時鐘配線上不同兩處時鐘TCLK和RCLK之圖；
- 第七圖為顯示第五圖A之系統動作程序的流程圖；
- 第八圖為顯示第五圖B之系統動作程序的流程圖；
- 第九圖為在第五圖A及第五圖B之系統顯示在第一基本時鐘TCLK和RCLK之時鐘配相位狀態的定時圖；
- 第十圖為在第五圖A及第五圖B之系統顯示與第一基本時鐘TCLK或RCLK同步所製之Tcu或Rcu、奇數內部時鐘Tou或Rou的定時圖；
- 第十一圖為在第五圖A及第五圖B之系統為了說明使用同步可調延遲(Synchronous A)作第六圖中所示之中間定時M之方法的定時圖；
- 第十二圖為顯示設於第五圖A及第五圖B之系統之複數各記憶體模組及控制器之內嵌塊圖；
- 第十三圖為顯示第十二圖之電路一部分詳細結構的方塊圖；
- 第十四圖A~第十四圖C為顯示在第十三圖之電路產生控制信號T2、R2及內部時鐘Tc、Rcu之電路具體結構的電路圖；
- 第十五圖為顯示在第十四圖A之電路所產生之控制信號T2或R2之相位關係的定時圖；
- 第十六圖A及第十六圖B為設於第十三圖之電路，產生內部定時時鐘 ψ_0 、 ψ_c 之電路之電路圖；
- 第十七圖為使用以第十六圖A和第十六圖B之電路所得之內部定時時鐘 ψ_0 、 ψ_c 產生之電路圖；
- 第十八圖為在第五圖A及第五圖B之系統顯示只在為基本時鐘之偶數周期之e周期看中間定時Me之根據本發明第二實施形態之動作例定時圖；
- 第十九圖為顯示根據第十八圖之方法之第五圖A之系統動作控制程序的流程圖；
- 第二十圖為顯示根據第十八圖之方法之第五圖B之系統動作控制程序的流程圖；
- 第二十一圖為顯示根據本發明第三實施形態之資料高速傳送系統之動作例的定時圖；
- 第二十二圖為顯示根據第三實施形態之資料高速傳送系統之動作控制程序的流程圖；
- 第二十三圖為顯示和根據第三實施形態之資料高速傳送系統之第二十二圖不同之控制之電路圖；
- 第二十四圖為在上述第三實施形態顯示相當於先前第十四圖A之電路之電路結構的電路圖；
- 第二十五圖為顯示以第二十圖之電路所製作之控制信號T2或R2之相位關係的定時圖；
- 第二十六圖A~第二十六圖C為在上述第三實施形態顯示相當於先前第十四圖B或第圖A或第十六圖B及第十七圖之電路結構的電路圖；
- 第二十七圖為在上述第三實施形態顯示為了控制第一基本時鐘TCLK、RCLK、第二TCLK2、RCLK2及資料輸出入而所使用之內部時鐘之相位關係的定時圖；
- 第二十八圖A及第二十八圖B為在上述第三實施形態產生內部時鐘Tod或Rod及Ted或圖；
- 第二十九圖為在上述第三實施形態為了說明在時鐘TCLK之定時輸出資料時之內部時圖；
- 第三十圖A~第三十圖D為在上述第三實施形態產生定時信號c11~c14之電路的電路圖；
- 第三十一圖A及第三十一圖B為顯示實現在前述各實施形態之系統所使用之同步可調路的電路圖及將此以符號表現的電路圖；
- 第三十二圖A~第三十二圖C為實現對於輸入製作180度相位偏離之信號之同步可調路的電路圖及將此以符號表現的電路圖；
- 第三十三圖為顯示對於記憶體同時進行資料讀寫之一般資料傳送系統之結構例的電路圖；
- 第三十四圖為顯示對資料傳送使用電流同時進行資料讀寫之關於本發明之資料傳送圖；
- 第三十五圖為顯示設於第五圖A及第五圖B中之各記憶體模組及控制器，進行資料輸入輸出電路結構的電路圖；
- 第三十六圖為顯示設於前述第五圖A及第五圖B中之各記憶體模組及控制器，進行I/O型資料輸入輸出電路之第三十五圖不同之結構的電路圖；
- 第三十七圖為顯示將第三十五圖或第三十六圖之資料輸入電路加入具有第五圖A之控制器和複數記憶體模組之資料傳送系統時之結構的方塊圖；
- 第三十八圖為顯示使用雙向資料匯流排之資料輸入輸出電路之資料傳送狀態的定時圖；
- 第三十九圖A~第三十九圖C為顯示使用以第三十圖A~第三十圖D之電路所製作之輸出資料Q之資料選擇輸出電路及作為資料輸入輸出電路而使用第三十五圖之結構例間D2之緩衝器之具體電路結構的電路圖。

—— 運領科技股份有限公司 (c) Copyright 2003 Learningtech Corp. TEL: +886-3-402-4200 FAX: +886-3-402-4632 ——

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.